

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8-97070

(43) 公開日 平成8年(1996)4月12日

(51) Int. Cl.[°] 識別記号 庁内整理番号 F I
 H 0 1 G 4/12 3 5 2
 4/30 3 0 1 C 7924-5 E

技術表示箇所

審査請求 未請求 請求項の数 2

O L

(全 1 2 頁)

(21) 出願番号 特願平6-227867

(22) 出願日 平成6年(1994)9月22日

(71) 出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72) 発明者 橋本 浩一

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(72) 発明者 西 幸宏

鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(72) 発明者 厚地 孝

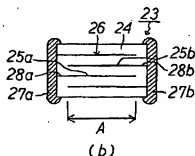
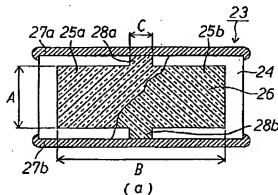
鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(54) 【発明の名称】 セラミックコンデンサ

(57) 【要約】

【構成】 誘電体磁器層と長方形形状の内部電極25a、25bとを交互に積層して形成されたコンデンサ部26を有するチップ本体24と、チップ本体24の主面上に形成された一対の基板用電極27a、27bとを有し、その一対の基板用電極27a、27bと内部電極25a、25bとが内部電極の引出部28a、28bでもって接続されて成るセラミックコンデンサ23において、内部電極25a、25bの短辺の長さAと長辺の長さをBとの比 A/B を0.5以下とするとともに、引出部28a、28bを内部電極25a、25bの長辺のほぼ中央部に配設し、かつ引出部の幅Cを $0 < C < B/2$ とする。

【効果】 コンデンサに生じるインダクタンスを非常に小さく抑制でき、高速化された回路モジュールにおいてもノイズ発生による電圧レベルの変動に起因する誤動作を引き起こさない、極めて低インダクタンスのセラミックコンデンサが得られる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 誘電体磁器層と長方形の内部電極とを交互に積層して形成されたコンデンサ部を有するチップ本体と、該チップ本体の主面上に形成された一対の基板用電極とを有し、該一対の基板用電極と前記内部電極とが内部電極の引出部でもって接続されて成るセラミックコンデンサにおいて、前記内部電極の短辺の長さAと長辺の長さBとの比 $A/B=0.5$ 以下とするとともに、前記引出部を内部電極の長辺のほぼ中央部に配設し、かつ引出部の幅Cを $0<C<B/2$ としたことを特徴とするセラミックコンデンサ。

【請求項2】 誘電体磁器層と長方形の内部電極とを交互に積層して形成されたコンデンサ部を有するチップ本体と、該チップ本体の主面上に形成された一対の基板用電極とを有し、該一対の基板用電極と前記内部電極とがビアホールでもって接続されて成るセラミックコンデンサにおいて、前記内部電極の短辺の長さAと長辺の長さBとの比 $A/B=0.5$ 以下とするとともに、前記ビアホールを内部電極の長辺のほぼ中央部に配設し、かつビアホールの径Dを $0<D<B/2$ としたことを特徴とするセラミックコンデンサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、コンデンサ部と外部の電気回路基板の配線に接続するための基板用電極とを有するセラミックコンデンサに関し、詳細には、非常に高速でスイッチングする大型コンピュータ等の回路モジュールに組み込まれる、低インダクタンスのセラミックコンデンサに関するものである。

【0002】

【従来の技術】 従来、面装型タイプのセラミック（磁器）コンデンサとしては、特開昭59-914号等に開示されたチップ型積層セラミックコンデンサが知られている。

【0003】 図6（a）および（b）はそのようなチップ型コンデンサの構成を示すもので、同図（a）は横断面図であり、（b）は縦断面図である。図6（a）および（b）に示したチップ型コンデンサ1は、誘電体磁器からなるチップ本体2の内部に、第1パターンの内部電極3aと第2パターンの内部電極3bとが誘電体磁器を介して交互に積層されてコンデンサ部（容量発生部）4が形成されている。チップ本体2の左右の端面には、外部の電気回路基板の配線に接続するための基板用電極としての端子電極5a、5bが形成され、内部電極3a、3bの一端がそれぞれ接続されている。そして、端子電極5a、5bが半田等で回路基板の配線と接続されて面装される。

【0004】 このようなチップ型コンデンサ1においては、図6（a）において端子電極に直交する方向の内部電極の長さEと端子電極に平行な方向の内部電極の長さFとの比 E/F が大きくなる程、インダクタンスが大き

くなることが知られている。図6に示した従来のチップ型コンデンサ1では、 E/F が通常1.5以上と大きかったためインダクタンスが1.0nH以上と大きくなっていた。

【0005】 これに対し、コンピュータ等の非常に高速でスイッチングする集積回路モジュールにおいては、コンデンサのインダクタンスが大きくなるとノイズ発生による電圧レベルの変動に起因する回路の誤動作が生じるおそれがある。従って、上記構成の従来のチップ型セラミックコンデンサ1では、そのような集積回路に適用できないという問題点があった。

【0006】 近年、このようなノイズ発生による電圧レベルの変動に起因する回路の誤動作を防止するべく、例えば図7（a）および（b）にそれぞれ横断面図および縦断面図で示すような構成のセラミックコンデンサ6が開発されている。なお、同図において図6と同様の箇所には同じ符号を付してある。このセラミックコンデンサ6は、内部電極3a、3bの端子電極に直交する方向の長さEと端子電極に平行な方向の長さFとの比 E/F を $0.5 \sim 0.7$ とすることにより、発生するインダクタンスを0.7nH程度に抑制することができるものである。

【0007】 また、特開昭56-94720号には、図8に縦断面図で示すような構成のセラミックコンデンサ7が開示されている。このセラミックコンデンサ7においては、誘電体磁器からなるチップ本体8の内部に、第1の内部電極9aと第2の内部電極9bとが誘電体磁器を介して交互に垂直方向に形成されてコンデンサ部10が形成されている。そして、第1の内部電極9aおよび第2の内部電極9bは、それぞれ同じ側の端面において第1の端子電極11aおよび第2の端子電極11bに接続されている。なお、12は第1の端子電極11aと第2の端子電極11bとを電気的に絶縁するための絶縁層である。このような構成として、内部電極を流れる電流が、誘電体磁器層を介して隣接する対向した第1の内部電極9aおよび第2の内部電極9b中を反対方向に流れるようにし、それにより内部電極中を流れる電流に付随する誘導磁場を相殺して相互インダクタンスを減少させるものである。

【0008】 さらに、特公平4-70764号には、図9に横断面図で示すような構成のセラミックコンデンサ13が開示されている。このセラミックコンデンサ13においては、誘電体磁器からなるチップ本体14の第1の角へ向かって延びて外部に露出する耳片部と本体部とを有する第1の内部電極15aと、誘電体磁器の第2の角へ向かって延びて外部に露出する耳片部と本体部とを有する第2の内部電極15bとが誘電体磁器を介して交互に積層されて、コンデンサ部16が形成されている。そして、各耳片部同士が外部で端子電極（図示せず）により接続されてコンデンサ13を形成している。このような構成として、内部電極を流れる電流が、誘電体磁器層を介して隣接する対向した第1の内部電極15aおよび第2の内部電極15

b中をほぼ反対方向に流れるようにし、それにより内部電極中を流れる電流による磁界を相殺して相互インダクタンスを減少させるものである。

【0009】さらにまた、特開平5-326317号には、図10(a)および(b)にそれぞれ分解斜視図および横断面図で示すような構成のセラミックコンデンサ17が開示されている。なお、同図(b)では図の中央付近の破断線の両側で異なる断面を表わしている。このセラミックコンデンサ17においては、誘電体磁器層18に第1の内部電極19aと第2の内部電極19bとが交互に形成されていて、各内部電極19a、19bには、その有効電極部分より幅が狭い引出部20a、20b(同公報中の実施例では有効電極部分の幅1.0mmに対して幅0.5mm)が対向する端面に向かって形成されている。そして、これらを積層してコンデンサ部21が形成されており、引出部20a、20bはそれぞれの端部で外部電極22a、22bに接続されている。このような構成とすることにより、電気的特性等を変えずに内部電極材料の使用を減らすことが可能になってコストを抑えることができるものである。

【0010】

【発明が解決しようとする課題】しかしながら、上記図7に示したセラミックコンデンサ6においても、図6に示したセラミックコンデンサ1と同様にインダクタンスが0.7nH程度と比較的大きいため、やはりノイズ発生による電圧レベルの変動に起因する回路の誤動作が生じおそれがあった。

【0011】また、特開昭56-94720号に開示されたセラミックコンデンサ7には、大容量を得るために内部電極9a、9bおよび誘電体磁器層の積層数を増加すると、各内部電極に接続させる端子電極11a、11bもそれに応じて数多くかつ交互に極めて近接させて配置しなければならず、しかも各端子電極11a、11b間を絶縁した上で第1の端子電極11a同士および第2の端子電極11b同士を接続する必要があるため、構造が非常に複雑となってしまうという問題点があった。また、各内部電極9a、9bを回路基板に対して垂直に配置するためコンデンサ7本体の高さが高くなってしまい、電子回路用の電子部品として小型化の要求に応じることが難しいという問題点もあった。さらに、静電容量との関係で内部電極の長さの比 E/F を小さくすることに限界があるため、自己インダクタンスが大きくなってしまいう問題点もあった。

【0012】さらに、特公平4-70764号に開示されたセラミックコンデンサ13にも、隣接する対向した内部電極15aおよび15b中を反対方向に流れる電流により相互インダクタンスは小さくなるものの、そのような効果を維持しつつ内部電極15a、15bの縦横比を小さくすることが静電容量との関係で難しいため、自己インダクタンスが大きくなってしまいう問題点があった。

【0013】さらにまた、特開平5-326317号に開示され

たセラミックコンデンサ17では、インダクタンスの低減は考慮されておらず、内部電極19a、19bの端子電極22a、22bに直交する方向の長さEと端子電極に平行な方向の長さFとの比 E/F が大きいために自己インダクタンスが大きく、また、相互インダクタンスも小さくならないという問題点があった。

【0014】本発明は、上記事情に鑑みて本発明者等が鋭意研究を進めた結果完成されたもので、その目的は、製造が容易で小型化の要求に対応可能な、低インダクタンスのセラミックコンデンサを提供することにある。

【0015】

【課題を解決するための手段】本発明の請求項1に係るセラミックコンデンサは、誘電体磁器層と長方形の内部電極とを交互に積層して形成されたコンデンサ部を有するチップ本体と、該チップ本体の主面上に形成された一対の基板用電極とを有し、該一対の基板用電極と前記内部電極とが内部電極の引出部でもって接続されて成るセラミックコンデンサにおいて、前記内部電極の短辺の長さAと長辺の長さBとの比 A/B を0.5以下とするとともに、前記引出部の幅Cを $0 < C < B/2$ としたことを特徴とするものである。

【0016】また、本発明の請求項2に係るセラミックコンデンサは、誘電体磁器層と長方形の内部電極とを交互に積層して形成されたコンデンサ部を有するチップ本体と、該チップ本体の主面上に形成された一対の基板用電極とを有し、該一対の基板用電極と前記内部電極とがビアホールでもって接続されて成るセラミックコンデンサにおいて、前記内部電極の短辺の長さAと長辺の長さBとの比 A/B を0.5以下とするとともに、前記ビアホールを内部電極の長辺のほぼ中央部に配設し、かつビアホールの径Dを $0 < D < B/2$ としたことを特徴とするものである。

【0017】

【作用】本発明のセラミックコンデンサは、誘電体磁器層と長方形の内部電極とを交互に積層して形成されたコンデンサ部において、内部電極の短辺の長さAと長辺の長さBとしたときの比 A/B を0.5以下とすることにより内部電極中を流れる短辺方向の電流については十分に低い自己インダクタンスを達成できるため、セラミックコンデンサに生じるインダクタンスを0.1nH以下に抑制することができる。

【0018】また、本発明のセラミックコンデンサでは、内部電極の長辺のほぼ中央部に配設した、長辺に比べて十分に幅の狭い引出部もしくはビアホールでもって内部電極と外部電極との接続を行うので、相対する内部電極中を流れる長辺方向の電流がほぼ逆向きに流れるようになる。そのため、相互インダクタンスを相殺することができ、セラミックコンデンサに生じるインダクタンスをより一層抑制することができる。

【0019】従って、本発明によれば、これらの作用効果により総合的に極めて低インダクタンスのセラミックコンデンサとなり、非常に高速化された回路モジュールにおいてもノイズ発生による電圧レベルの変動に起因する誤動作を引き起こさないセラミックコンデンサを提供することができる。

【0020】しかも、製造が簡単のため量産性に優れていることから、安価な低インダクタンスのセラミックコンデンサを提供することができる。

【0021】さらに、本発明の請求項2に係るセラミックコンデンサでは、チップ本体の内部電極と平行な主面上、すなわち底面のみに一対の基板用電極を内部電極と平行になるように形成して基板用電極が互いに向向しない構成とし、この基板用電極とそれに接続される内部電極とをビアホールを介して接続することにより、チップ本体の端面に互いに基板用電極を対向配置した場合に比べて基板用電極間の相互インダクタンスも低減できるため、セラミックコンデンサに生じるインダクタンスをより一層低減する効果も有している。

【0022】

【実施例】以下、本発明のセラミックコンデンサを実施例に基づいて詳述する。図1(a)および(b)は本発明の請求項1に係るセラミックコンデンサの構成例を示すもので、同図(a)はセラミックコンデンサ23の横断面図であり、図の中央付近の破断線の両側に異なる断面を表わしている。また、同図(b)は基板用電極に直交する面での縦断面図である。

【0023】これらの図において、24はコンデンサ部を有するチップ本体であり、多数の誘電体磁器層を積層して構成されている。このチップ本体24内には、チップ本体24を構成する誘電体磁器層の間に長方形の内部電極25a、25bを介装してコンデンサ部26を形成している。ここで、図1(a)におけるAは長方形の内部電極25a、25bの短辺の長さを示し、Bは同じく長辺の長さを示している。そして、本発明のセラミックコンデンサ23においては、内部電極25a、25bの短辺と長辺の長さの比A/Bを0.5以下としている。

【0024】また、チップ本体24の側面には、外部の電気回路基板の配線に接続するための一対の基板用電極27a、27bを形成している。この一対の基板用電極27a、27bは、チップ本体24の対向する2つの主面(側面)のみに形成してもよいし、一部をその主面から他の主面に回り込ませて形成してもよい。例えば、底面となる主面に基板用電極27a、27bを回り込ませて形成することにより、面実装型のセラミックコンデンサとすることができる。

【0025】そして、長方形の内部電極25a、25bの長辺のほぼ中央部には、基板用電極27a、27bと内部電極25a、25bとを接続するための引出部28a、28bを配設しており、その引出部28a、28bの幅をCとしたと

き、 $0 < C < B/2$ となるように設定している。なお、引出部28a、28bの長さ、すなわち内部電極25a、25bから基板用電極27a、27bまでの長さは、必要とするコンデンサの容量や寸法、インダクタンス等に応じて適宜設定するが、可能な範囲で短く設定することがインダクタンスを低くできるという点で好ましい。このような引出部28a、28bは、それぞれ内部電極25a、25bを形成する際に、その長辺のほぼ中央部を延設することによって容易に形成できる。

【0026】このようなセラミックコンデンサ23における充電電流や放電電流などの内部電極25a、25b中を流れる電流の向きを、図2に基づいて説明する。

【0027】図2(a)~(c)は、図1に示した本発明のセラミックコンデンサ23の内部電極25a、25b中を流れる電流の向きを示す横断面図ならびに基板用電極27a、27bに直交する面での縦断面図および基板用電極27a、27bに平行な面での縦断面図であり、図1と同様の箇所には同じ符号を付してある。これらの図においては、電流の向きとして、一方の基板用電極27aから引出部28aおよび内部電極25aを通り、誘電体磁器層を介して内部電極25bから引出部28bを通して他方の基板用電極27bへと流れる場合を示している。そして、図中の矢印は基板用電極27aから引出部28aを通過して内部電極25aの中を流れる電流の主な向きを表わし、破線の矢印は内部電極25bの中を流れて引出部28bを通過して基板用電極27bへと流れる電流の主な向きを表わしている。なお、電流がこれとは逆に基板用電極27bから基板用電極27aへと流れる場合には、各々の矢印の向きは逆向きとなる。

【0028】本発明の構成のセラミックコンデンサ23においては、図2(a)に示したように、基板用電極27aから幅の狭い引出部28aを通過して内部電極25aの長辺のほぼ中央部に流入した電流は、長辺方向に拡がるように拡散して内部電極25a中を流れる。そして、誘電体磁器層を介して内部電極25bへ流れた電流は、幅の狭い引出部28bへ向かって集中するように内部電極25b中を流れ、引出部28bを通過して基板用電極27bへと流れる。

【0029】このような電流の流れは、内部電極25a、25bの短辺方向に見た場合は、図2(b)に示したように、誘電体磁器層を挟んで相対した内部電極25aと25bとで全体としてはほぼ同方向になる。この場合は、内部電極25a、25b間の相互インダクタンスは低減されない。しかし、内部電極25a、25bの短辺と長辺の長さの比A/Bを0.5以下としているために、自己インダクタンスを十分に小さくすることができる。

【0030】これに対して、電流の流れを内部電極25a、25bの長辺方向に見た場合は、図2(c)に示したように、誘電体磁器層を挟んで相対した内部電極25aと25bとで全体としてはほぼ反対方向になる。そのため、内部電極25a、25b間に発生する相互インダクタンスを相

殺することができる。

【0031】従って、以上のように構成されたセラミックコンデンサ23では、長方形の内部電極25a、25bの短辺と長辺の長さの比を0.5以下とし、さらに基板用電極27a、27bと内部電極25a、25bとを内部電極25a、25bの長辺のほぼ中央部に配設した幅の狭い引出部28a、28bで接続する構造とすることにより、内部電極25a、25bの短辺方向の電流の流れによる自己インダクタンスを低減でき、かつ長辺方向の電流の流れによる相互インダクタンスを低減できる。そのため、セラミックコンデンサ23に生じる総合インダクタンスを非常に低く抑制することができ、非常に高速でスイッチングする回路モジュールに使用した場合においても、ノイズ発生による電圧レベルの変動に起因する回路の誤動作を生じることがなくなる。

【0032】次に、図3(a)～(c)は本発明の請求項2に係るセラミックコンデンサの構成例を示すもので、図3(a)はセラミックコンデンサ29の横断面図であり、図の中央付近の破断線の両側で異なる断面を表わしている。また、図3(b)は縦断面図であり、図3(c)は底面図である。

【0033】これらの図において、30はコンデンサ部を有するチップ本体であり、多数の誘電体磁器層を積層して構成されている。このチップ本体30内には、チップ本体30を構成する誘電体磁器層の間に長方形の内部電極31a、31bを介装してコンデンサ部32を形成している。ここで、図3(a)におけるAも長方形の内部電極31a、31bの短辺の長さを示し、Bも同じく長辺の長さを示している。そして、このセラミックコンデンサ29においても、内部電極31a、31bの短辺と長辺の長さの比A/Bを0.5以下としている。

【0034】また、チップ本体30の底面には、外部の電気回路基板の配線に接続するための一対の基板用電極33a、33bを形成している。この一対の基板用電極33a、33bは、図示したようにチップ本体30の1つの主面(底面)のみに形成してもよいし、一部をその主面から他の主面に回り込ませて形成してもよい。また、必要とする電極形状に応じて底面の一部のみに設けてもよく、その一部から他の主面に回り込ませたものとしてもよい。

【0035】そして、長方形の内部電極31a、31bの長辺のほぼ中央部には、基板用電極33a、33bと内部電極31a、31bとを接続するための導体を内部に充填したビアホール34a、34bを配設している。ここで、内部電極31aと基板用電極33aを接続するビアホール34aは、他方の内部電極31bをその長辺のほぼ中央部において貫通しているが、このビアホール34aの周囲の内部電極31bに電極膜を形成しないブランク部を設けることにより空隙を確保して、ビアホール34aと内部電極31bとの間を絶縁している。また、内部電極31bを接続するビアホール34bとそれが貫通する内部電極31aとの間も同様に

して絶縁している。また、ビアホール34a、34bの幅をDとしたとき、 $0 < D < B/2$ となるように設定している。なお、ビアホール34a、34bの内部電極31a、31b内での位置、すなわち内部電極31a、31bの長辺からビアホール34a、34bまでの距離は、必要とするコンデンサの容量や寸法、インダクタンス等に応じて適宜設定するが、可能な範囲で短く設定することが、インダクタンスを低くできるという点で好ましい。

【0036】このようなセラミックコンデンサ29における充電電流や放電電流などの内部電極31a、31b中を流れる電流の向きを、図4に基づいて説明する。

【0037】図4(a)～(c)は、図3に示した本発明のセラミックコンデンサ29の内部電極31a、31b中を流れる電流の向きを示す横断面図ならびにビアホール34a、34bを通る断面での縦断面図およびその断面に直交する面での縦断面図であり、図3と同様の箇所には同じ符号を付してある。これらの図においては、電流の向きとして、一方の基板用電極33aからビアホール34aおよび内部電極31aを通り、誘電体磁器層を介して内部電極31bからビアホール34bを通して他方の基板用電極33bへと流れる場合を示している。そして、図中の矢印の矢印は基板用電極33aからビアホール34aを通して内部電極31aの中を流れる電流の主な向きを表わし、破線の矢印は内部電極31bの中を流れてビアホール34bを通して基板用電極33bへと流れる電流の主な向きを表わしている。なお、電流がこれとは逆に基板用電極33bから基板用電極33aへと流れる場合には、各々の矢印の向きは逆向きとなる。

【0038】本発明の構成のセラミックコンデンサ29においても、図4(a)に示したように、基板用電極33aからビアホール34aを通して内部電極31aの長辺のほぼ中央部に流入した電流は、長辺方向に拡がるように拡散して内部電極31a中を流れる。そして、誘電体磁器層を介して内部電極31bへ流れた電流は、ビアホール34bへ向かって集中するように内部電極31b中を流れ、ビアホール34bを通して基板用電極33bへと流れる。

【0039】このような電流の流れは、内部電極31a、31bの短辺方向に見た場合は、図4(b)に示したように、誘電体磁器層を挟んで相対した内部電極31aと31bとで全体としてほぼ反対方向になる。この場合は、内部電極31a、31b間の相互インダクタンスは低減されない。しかし、内部電極31a、31bの短辺と長辺の長さの比A/Bを0.5以下としているために自己インダクタンスを十分に小さくすることができる。

【0040】これに対して、電流の流れを内部電極31a、31bの長辺方向に見た場合は、図4(c)に示したように、誘電体磁器層を挟んで相対した内部電極31aと31bとで全体としてほぼ反対方向になる。そのため、内部電極31a、31b間に発生する相互インダクタンスを低減することができる。

9

【0041】従って、以上のように構成されたセラミックコンデンサ29では、長方形の内部電極31a、31bの短辺と長辺の長さの比を0.5以下とし、さらに基板用電極33a、33bと内部電極31a、31bとを内部電極31a、31bのほぼ中央部に配設した幅の狭いビアホール34a、34bで接続する構造とすることにより、内部電極31a、31bの短辺方向の電流の流れによる自己インダクタンスを低減でき、かつ長辺方向の電流の流れによる相互インダクタンスを低減できる。そのため、セラミックコンデンサ29に生じる総合インダクタンスを非常に低く抑制することができ、非常に高速でスイッチングする回路モジュールに使用した場合においても、ノイズ発生による電圧レベルの変動に起因する回路の誤動作を生じることがなくなる。

【0042】また、図5(a)および(b)に、本発明の請求項2に係るセラミックコンデンサの他の構成例を示す。図5(a)は本発明の請求項2に係るセラミックコンデンサ35の横断面図であり、図の中央付近の破断線の両側で異なる断面を表わしている。また、同図(b)は縦断面図である。

【0043】図5において、36はコンデンサ部を有するチップ本体であり、多数の誘電体磁器層を積層して構成されている。このチップ本体36内には、チップ本体36を構成する誘電体磁器層の間に長方形の内部電極37a、37bを介装してコンデンサ部38を形成している。ここで、図5(a)におけるAも長方形の内部電極37a、37bの短辺の長さを示し、Bも同じく長辺の長さを示している。そして、このセラミックコンデンサ35においても、内部電極37a、37bの短辺と長辺の長さの比A/Bを0.5以下としている。

【0044】また、チップ本体36の底面には、外部の電気回路基板の配線に接続するための一対の基板用電極39a、39bを形成している。この一対の基板用電極39a、39bも、図示したようにチップ本体36の1つの主面(底面)のみに形成してもよいし、一部をその主面から他の主面に回り込ませて形成してもよい。また、必要とする電極形状に応じて底面の一部のみに設けてもよく、その一部から他の主面に回り込ませてもよいとする。

【0045】そして、長方形の内部電極37a、37bの長辺のほぼ中央部にそれぞれその一部を延設した突起部40a、40bを形成し、その突起部40a、40b内、基板用電極39a、39bと内部電極37a、37bとを接続するための導体を内部に充填したビアホール41a、41bを配設している。ここで、内部電極37aと基板用電極39aを接続するビアホール41aは、内部電極37aから延設された突起部40aを貫通するように形成されていて、他方の内部電極37bを貫通することはないので、ビアホール41aと内部電極37bとの間の絶縁は確保されている。また、内部電極37bを接続するビアホール41bと内部電極37aとの間も同様に絶縁が確保されている。また、ビアホー

10

ル41a、41bも、その幅を d としたとき $0 < d < B/2$ となるように設定している。なお、突起部40a、40bの幅や長さ、ならびに突起部40a、40b内でのビアホール41a、41bの位置、すなわち内部電極37a、37bの長辺からビアホール41a、41bまでの距離は、必要とするコンデンサの容量や寸法、インダクタンス等に応じて適宜設定するが、可能な範囲で短く設定することが、インダクタンスを低くできるという点で好ましい。

【0046】このようなセラミックコンデンサ35における充電電流や放電電流などの内部電極37a、37b中を流れる電流の向きは、図4に示した例とほぼ同様になる。従って、セラミックコンデンサ29と同じ作用効果により総合インダクタンスを非常に低く抑制することができる。

【0047】なお、上記の本発明のセラミックコンデンサ23、29、35においてはチップ本体に一のコンデンサ部を有する構造を示したが、チップ本体に並列もしくは直列あるいは直並列に複数のコンデンサ部を有していてもよく、その場合にも同様に低インダクタンスのセラミックコンデンサを得ることができる。

【0048】チップ本体24、30、36を構成する誘電体磁器層には、種々の誘電体材料を用いることができ、例えばBaTiO₃、LaTiO₃、CaTiO₃、SrTiO₃、CaZrO₃、SrSnO₃、BaTiO₃にNb₂O₅、Ta₂O₅、ZnO、CoO等を添加した組成物、BaTiO₃の構成原子であるBaをCaで、TiをZrやSnで部分的に置換した固溶体等のチタン酸バリウム系材料や、Pb(Mg_{1/2}Nb_{2/2})O₃、Pb(Fe、Nd、Nb)O₃系ペロブスカイト型複合化合物、Pb(Mg_{1/2}Nb_{2/2})O₃-PbTiO₃等の2成分系組成物、Pb(Mg_{1/2}Nb_{2/2})O₃-PbTiO₃-Pb(Mg_{1/2}W_{1/2})O₃、Pb(Mg_{1/2}Nb_{2/2})O₃-Pb(Zn_{1/2}Nb_{2/2})O₃-PbTiO₃、Pb(Mg_{1/2}Nb_{2/2})O₃-Pb(Zn_{1/2}Nb_{2/2})O₃-Pb(Sm_{1/2}Nb_{1/2})O₃等の3成分系組成物、あるいはそれらにMnO、MnO₂、CuO、BaTiO₃等を添加したもの等の鉛系リラクサー材料などが挙げられる。チップ本体24、30、36の形成に際しては、これらの誘電体粉末をバインダーと十分に混合したスリップからセラミックグリーンシートに成形したものを使用する。

【0049】内部電極25a、25b、31a、31b、37a、37bを形成する材料としては、例えばPd、Ag、Pt、Ni、Cu、Pb及びそれらの合金が挙げられる。内部電極の形成に当たっては、このような電極材料粉末をバインダーと混合粉砕してペースト状にした導電性ペーストが用いられる。この導電性ペーストをスクリーン印刷法などによってセラミックグリーンシート上に内部電極パターンとして印刷して積層・圧着・焼成すること

により、所望の内部電極25a、25b、31a、31b、37a、37bを形成する。

【0050】また、基板用電極27a、27b、33a、33b、39a、39bを形成する材料は内部電極と同様であり、導電性ペーストとしてチップ本体24、30、36の底面に塗布して焼成することにより、所望の基板用電極27a、27b、33a、33b、39a、39bを形成する。あるいは、スパッタリング等の薄膜形成法による導体膜によって形成してもよい。また、このようにして形成した電極膜に、さらにメッキ法によりNi、Ni-Sn、Au等のメッキ膜を析出させてもよい。

【0051】これらの基板用電極27a、27b、33a、33b、39a、39bの厚さは、20μm以下とするときにインダクタンスが低下するといった点で好ましい。そして、基板用電極27a、27b、33a、33b、39a、39bの各々は、外部の回路モジュール基板に、その基板上の接続ランドなどを介して半田などを用いて接続される。

【0052】ビアホール34a、34b、41a、41bは、図3あるいは図5に示したように長方形の内部電極31a、31b、37a、37bの長辺のほぼ中央部に形成する。これらのビアホールの形成に当たっては、まずセラミックグリーンシートの所定の位置に、後から印刷する内部電極パターンのほぼ中央部に長辺方向に沿って列状に並ぶように穴加工（スルーホール加工）を施す。この穴加工は、MPS（マルチ・パンチング・システム）装置などを使用して行なう。

【0053】次に、スルーホールを形成したグリーンシート上に、導電性ペーストを所定の内部電極パターン形状に印刷する。この内部電極パターンには、基板用電極33aまたは39aに接続される内部電極31aまたは37aとなるパターンと、基板用電極33bまたは39bに接続される内部電極31bまたは37bとなるパターンとのそれぞれ2種類を用いる。これら内部電極パターンの印刷に際しては、内部電極と接続されるビアホールとなるスルーホール部分には、導電性ペーストの一部がスルーホールの淵に掛かるように、スルーホールの径と同じ程度の大きさの中抜きを施して印刷する。一方、他方の内部電極と接続されないスルーホール部分には、内部電極とビアホールとの電気的な導通を避けて絶縁性を確保するため、スルーホール端部から所定のマージン（間隙）を設定して、図2（a）に示した内部電極31aのように印刷する。このマージンは印刷あるいは積層時のずれを見込んで設定されるが、通常は150μmより小さくすると絶縁不良を起こしやすい傾向があるため、それ以上に設定することが好ましい。但しこの数値は、内部電極パターンの印刷精度や印刷後のグリーンシートの積層精度、誘電体および内部電極の材質の選定、ビアホール形成の際の導体のにじみ等により異なるため、それらに応じて適宜選択すれば良い。なお、スルーホールすなわちビアホールの形状および上記所定のマージンの形状は必ずしも円

形である必要はなく、所望の特性を有すれば、三角形、四角形、六角形等の多角形や楕円形などの種々の形状であってもよい。

【0054】次いで、上記のスルーホール加工と内部電極パターン印刷を施したグリーンシートを、2種類の内部電極パターンが交互に積層されてコンデンサ部30、36が形成されるように所定数積層する。その後、互いに繋がって細長い空洞を形成したスルーホール部に、基板用電極33a、33bまたは39a、39bと内部電極31a、31bまたは37a、37bとを接続するための導体を、スクリーン印刷・エッチングプレート印刷等の方法によって充填する。この導体の材料は、安定して電気的導通を確保できれば特に限定はないが、内部電極と同種の材料を用いると、焼成時の収縮の違いによる接続不良が発生せず接続部が一体化して良好な導通特性が得られる点で好ましい。このようにして導体が充填されたスルーホールは、焼成後に基板用電極と内部電極とを接続するビアホールとなる。なお、ビアホール34a、34bおよび41a、41bの長さはインダクタンスの発生に関与し、ビアホールが長くなるに従ってビアホールの持つ自己インダクタンスが増加するため、なるべく短くすることが好ましい。

【0055】また、内部電極25a、25bに引出部28a、28bを形成して基板用電極27a、27bと接続するセラミックコンデンサ23では、前述のように、それぞれ内部電極25a、25bを形成する際にその長辺のほぼ中央部を延設することによって引出部28a、28bを形成し、そのような2種類の内部電極パターンが印刷されたグリーンシートを交互に所定数積層する。

【0056】そして、必要に応じてチップ本体の上部のブランク層となるセラミックグリーンシートを積層し、熱圧着した後で所定のサイズに切断し、脱バンダーを行なった後に焼成する。

【0057】焼成後に、バレル研磨を行なってチップ本体の角面を研磨した後、チップ本体の直面上に端部が露出している引出部またはビアホールに対して一対の基板用電極を形成する。この基板用電極は、前述のように導電性ペーストを用いて形成してもよく、あるいはスパッタリング等の薄膜形成法によって形成してもよい。

【0058】以下に、本発明のセラミックコンデンサの具体例を示す。

【例1】本例においては、図1に示した構成の、本発明の請求項1に係るセラミックコンデンサを製作した。

【0059】まず、誘電体磁器層の材料としてPMN（ $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ ）を主成分とする鉛系リクサー材料粉末を用意し、それをアクリル系樹脂のバンダーと混合して得られたスリッパを用いて、ドクターブレード法によって厚さ30μmのセラミックグリーンシートを成形した。

【0060】このセラミックグリーンシートに、AgまたはAg/Pdからなる導電性ペーストを用いて、スク

13

リーン印刷法により長方形の内部電極パターンを印刷した。この内部電極パターンの寸法は、内部電極の短辺の長さ $A = 0.8\text{mm}$ 、長辺の長さ（幅） $B = 3.2\text{mm}$ 、短辺と長辺の長さの比 $A/B = 0.25$ となり、厚さが $2 \sim 4\text{ }\mu\text{m}$ となるようにした。また、同時に長辺方向のほぼ中央部から垂直にグリーンシート端部まで、約 $200\text{ }\mu\text{m}$ の幅で引出部を設けた。

【0061】次いで、引出部が互いに内部電極の反対側の長辺にくるように、2種類の内部電極パターンを印刷したグリーンシートを交互に5枚ずつ積層した後、さらにその上下にマージン部分となるグリーンシートを積層した。

【0062】このように積層したグリーンシートを熱圧着して一体化した後、長さ 4.15mm 、幅 2.23mm のチップに切断した。これを乾燥機により 300°C で脱バインダーした後、 950°C 、 3.5 時間の条件で焼成して、長さ 3.2mm 、幅 1.6mm 、厚さ 0.7mm のチップ本体を作製した。

【0063】このチップ本体をバレル研磨にかけて角面を研磨した後、引出部が露出した側面に、 A となる導電性ペーストを用いてディップ方式で塗布して基板用電極パターンを形成した。これを乾燥後に、 600°C 、 10 分間の条件で焼き付け工程を通し、さらに $5\text{ }\mu\text{m}$ 厚の Ni メッキ膜と $2\text{ }\mu\text{m}$ 厚の Sn-Pb メッキ膜を形成して*

* 基板用電極を形成し、セラミックコンデンサ試料 A を得た。

【0064】このようにして得た試料 A について、測定器 YHP4274A を用いて周波数 1kHz 、電圧 1V の時の静電容量を測定した後、測定器 YHP4191A を用いて共振周波数を測定し、共振周波数 f_0 と静電容量 C とインダクタンス L の関係式 $f_0 = 1/2\pi\sqrt{L \cdot C}$ よりインダクタンスを算出した。その結果、試料 A が有するインダクタンスは、 0.250 nH と非常に小さいものであった。

【0065】これに対し、比較例として図 6 に示した構造の長さ 3.2mm 、幅 1.6mm 、厚さ 1.0mm のコンデンサについて同様にインダクタンスを測定したところ、 $1.0 \sim 1.5\text{ nH}$ のインダクタンスを有しており、本発明のセラミックコンデンサが極めて低インダクタンスであることが確認できた。

【0066】【例 1】次に、【例 1】と同様にしてセラミックコンデンサ試料を作製するに当り、内部電極の短辺の長さ A および長辺の長さ B を変えて、表 1 に示すように短辺と長辺の長さの比 A/B の異なる試料 B～H を得た。これらについて【例 1】と同様にしてインダクタンスを求めたところ、表 1 に示した結果が得られた。

【0067】

【表 1】

試料	*B	*C	*D	B	F	G	H
内部電極 A/B 比	0.8	0.7	0.6	0.5	0.4	0.3	0.2
インダクタンス (nH)	0.852	0.742	0.598	0.464	0.337	0.261	0.244

* は本発明の範囲外の試料を示す。

【0068】表 1 の結果より、内部電極の短辺と長辺の長さの比 A/B が 0.5 以下のコンデンサ試料 E～H では、インダクタンスを 0.5 nH 以下と小さく抑制でき、実用上使用可能であることが確認できた。

【0069】【例 3】次に、【例 1】と同様にしてセラミックコンデンサ試料を作製するに当り、引出部の幅と内部電極の長辺の長さの比 C/B の異なる試料 I～O を※

※得た。

【0070】これらについて【例 1】と同様にしてインダクタンスを求めたところ、表 2 に示した結果が得られた。

【0071】

【表 2】

試料	*I	*J	K	L	M	N	O
引出部幅の比 C/B	0.7	0.6	0.5	0.4	0.3	0.2	0.1
インダクタンス (nH)	0.755	0.631	0.488	0.364	0.285	0.277	0.285

* は本発明の範囲外の試料を示す。

【0072】表 2 の結果より、本実施例のセラミックコンデンサにおいては、試料 K～O であればインダクタンスを 0.5 nH 以下とすることができ、好ましい結果となったことがわかる。

【0073】【例 4】次に、本例においては、図 3 に示

した構成の、本発明の請求項 2 に係るセラミックコンデンサを作製した。

【0074】まず、誘電体磁器層の材料として PMN を主成分とする鉛系リラウカー材料粉末を用意し、それをアクリル系樹脂のバインダーと混合して得られたスリッ

15

ブを用いて、ドクターブレード法によって厚さ $30\mu\text{m}$ のセラミックグリーンシートを成形した。

【0075】このセラミックグリーンシートの所定の位置に、MPS装置を使用して、後から印刷する内部電極パターンの長辺のほぼ中央部に直径 $120\mu\text{m}$ のスルーホールを1個ずつ計2個加工した。

【0076】このスルーホール加工を施したグリーンシートに、A_gまたはA_g/P_dからなる導電性ペーストを用いて、スクリーン印刷法により長方形の内部電極パターンを印刷した。この内部電極パターンの寸法は、内部電極の短辺の長さA=0.8mm、長辺の長さ(幅)B=3.2mm、短辺と長辺の長さの比A/B=0.25となり、厚さが2~4 μm となるようにした。また、ビアホールと接続する部分には、導電性ペーストの一部がスルーホールの端に掛かるようにスルーホール後と同じ直径 $120\mu\text{m}$ の中抜きを設け、ビアホールと接続しない部分には、スルーホールの周囲にそれぞれ $150\mu\text{m}$ のマージンを取って直径 $540\mu\text{m}$ の中抜きを設けた。

【0077】次いで、上記2つのビアホールに交互に通ずるように、2種類の内部電極パターンを印刷したグリーンシートを交互に5枚ずつ積層した後、細長い空洞となったスルーホールに、内部電極と同じA_gまたはA_g/P_dからなる導電性ペーストを充填した。

【0078】このように積層したグリーンシートを熱圧着して一体化した後、長さ4.15mm、幅2.23mmのチップに切断した。これを乾燥機により300℃で脱バインダーした後、950℃、3.5時間の条件で焼成して、長さ3.2mm、幅1.6mm、厚さ0.7mmのチップ本体を作製した。

【0079】このチップ本体をバレル研磨にかけて角面を研磨した後、ビアホールの端部が露出した底面に、A_gからなる導電性ペーストを用いてスクリーン印刷法により基板用電極パターンを印刷した。この基板用電極パターンは、図3(c)に示した一対の長方形のものとし、その寸法は基板用電極の長さg=3.2mm、幅が0.4mmとなるようにし、厚さは $20\mu\text{m}$ となるようにした。これを乾燥後に、600℃、10分間の条件で焼き付け工程を通し、さらに5 μm 厚のNiメッキ膜と2 μm 厚のSn-Pbメッキ膜を形成して基板用電極を形成し、セラミックコンデンサ試料Pを得た。

【0080】このようにして得た試料Pについて【例1】と同様にしてインダクタンスを求めたところ、0.190nHとなり、試料Aと比較してさらに小さいことが確認できた。

【0081】【例5】次に、本例においては、図5に示した構成の本発明の請求項2に係るセラミックコンデンサを作製した。

【0082】まず、誘電体磁器層の材料としてPMNを主成分とする鉛系リクサカー材料粉末を用意し、それをアクリル系樹脂のバインダーと混合して得られたスリッ

16

ブを用いて、ドクターブレード法によって厚さ $30\mu\text{m}$ のセラミックグリーンシートを成形した。

【0083】このセラミックグリーンシートの所定の位置に、MPS装置を使用して、後から印刷する内部電極パターンの長辺のほぼ中央部から延設した長方形の突起部と重なるように、直径 $120\mu\text{m}$ のスルーホールを1個ずつ計2個加工した。

【0084】このスルーホール加工を施したグリーンシートに、A_gまたはA_g/P_dからなる導電性ペーストを用いて、スクリーン印刷法により長方形の内部電極パターンを印刷した。この内部電極パターンの寸法は、内部電極の短辺の長さA=0.8mm、長辺の長さ(幅)B=3.2mm、短辺と長辺の長さの比A/B=0.25となり、厚さが2~4 μm となるようにした。また、ビアホールと接続する部分には、短辺の長さ0.2mm、長辺の長さ0.3mmとなる長方形の突起部を同時に印刷した。

【0085】次いで、上記2つのビアホールに交互に通ずるように、2種類の内部電極パターンを印刷したグリーンシートを交互に5枚ずつ積層した後、細長い空洞となったスルーホールに、内部電極と同じA_gまたはA_g/P_dからなる導電性ペーストを充填した。

【0086】このように積層したグリーンシートを熱圧着して一体化した後、長さ4.15mm、幅2.23mmのチップに切断した。これを乾燥機により300℃で脱バインダーした後、950℃、3.5時間の条件で焼成して、長さ3.2mm、幅1.6mm、厚さ0.7mmのチップ本体を作製した。

【0087】このチップ本体をバレル研磨にかけて角面を研磨した後、ビアホールの端部が露出した底面に、A_gからなる導電性ペーストを用いてスクリーン印刷法により基板用電極パターンを印刷した。この基板用電極パターンは、図3(c)に示した一対の長方形のものとし、その寸法は基板用電極の長さg=3.2mm、幅が0.4mmとなるようにし、厚さは $20\mu\text{m}$ となるようにした。これを乾燥後に、600℃、10分間の条件で焼き付け工程を通し、さらに5 μm 厚のNiメッキ膜と2 μm 厚のSn-Pbメッキ膜を形成して基板用電極を形成し、セラミックコンデンサ試料Qを得た。

【0088】このようにして得た試料Qについて【例1】と同様にしてインダクタンスを求めたところ、0.200nHとなり、試料Aと比較してさらに小さいことが確認できた。

【0089】なお、本発明の請求項2に係るセラミックコンデンサは、請求項1に係るセラミックコンデンサと比較してインダクタンスをより小さくできるが、作製に当たってグリーンシートにビアホール加工を行なう必要があることや、チップ本体の底面に一対の基板用電極を形成するのに治具を必要とすることなどから、その作製に手間がかかったり工数が増えたりする場合がある。従

って、それらも考慮して、必要とするインダクタンスや容量などから最適な構成を選択することが好ましく、それにより幅広い要求に対する対応が可能となる。

【0090】

【発明の効果】以上詳述したように、本発明のセラミックコンデンサによれば、誘電体磁器層と長方形の内部電極とを交互に積層して形成されたコンデンサ部において、内部電極の短辺と長辺の長さの比 A/B を 0.5 以下とするとともに、チップ本体の主面上に形成された一对の基板用電極と内部電極を接続する引出部もしくはビアホールを内部電極の長辺のほぼ中央部に配設し、かつ引出部の幅 C を $0 < C < B/2$ またはビアホールの径 D を $0 < D < B/2$ とした構成とすることにより、コンデンサに発生する総合インダクタンスを非常に小さく抑制することができ、極めて低インダクタンスとしたセラミックコンデンサを提供することができた。

【0091】また、本発明のセラミックコンデンサによれば、非常に高速化された回路モジュールにおいてもノイズ発生による電圧レベルの変動に起因する誤動作を引き起こさない、極めて低インダクタンスとした面実装タイプのセラミックコンデンサを提供することができた。そのため、高速化された回路モジュールの動作を安定化することが可能となり、さらなる高速化に対応できるようになる。

【0092】さらに、本発明の請求項 1 に係るセラミックコンデンサによれば、その作製に当たって従来の積層セラミックコンデンサと比べて特別な工程を必要としないため、低インダクタンスのセラミックコンデンサを低コストで製造することが可能である。

【図面の簡単な説明】

【図 1】(a) および (b) は、本発明のセラミックコンデンサの構成例を示す横断面図および縦断面図である。

【図 2】(a) ~ (c) は、それぞれ本発明のセラミックコンデンサの構成例における電流の向きを説明する横断面図ならびに縦断面図および縦断面図である。

【図 3】(a) ~ (c) は、それぞれ本発明のセラミッ

クコンデンサの他の構成例を示す横断面図、縦断面図および底面図である。

【図 4】(a) ~ (c) は、それぞれ本発明のセラミックコンデンサの他の構成例における電流の向きを説明する横断面図ならびに縦断面図および縦断面図である。

【図 5】(a) および (b) は、本発明のセラミックコンデンサの他の構成例を示す横断面図および縦断面図である。

【図 6】(a) および (b) は、従来のセラミックコンデンサの構成を示す横断面図および縦断面図である。

【図 7】(a) および (b) は、従来の他のセラミックコンデンサの構成を示す横断面図および縦断面図である。

【図 8】従来の他のセラミックコンデンサの構成を示す縦断面図である。

【図 9】従来の他のセラミックコンデンサの構成を示す横断面図である。

【図 10】(a) および (b) は、従来の他のセラミックコンデンサの構成を示す分解斜視図および横断面図である。

【符号の説明】

23、29、35 セラミックコンデンサ

24、30、36 チップ本体

25a、25b、31a、31b、37a、37b . . . 内部電極

26、32、38 コンデンサ部

27a、27b、33a、33b、39a、39b . . . 基板用電極

28a、28b 引出部

34a、34b、41a、41b ビアホール

40a、40b 突起部

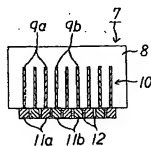
A 内部電極の短辺の長さ

B 内部電極の長辺の長さ

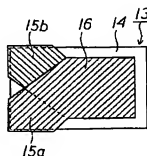
C 引出部の幅

D ビアホールの径

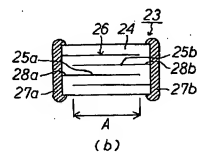
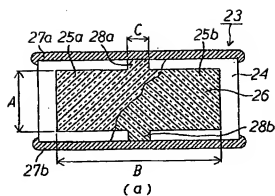
【図 8】



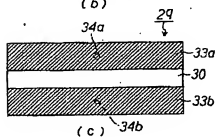
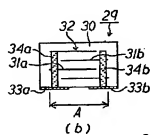
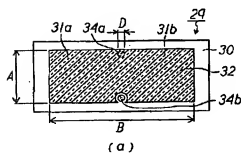
【図 9】



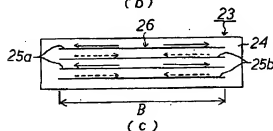
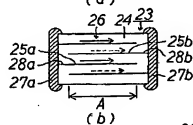
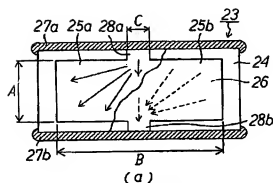
【図 1】



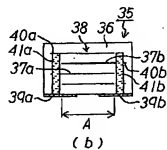
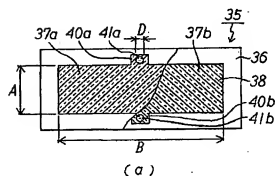
【図 3】



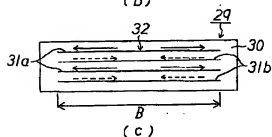
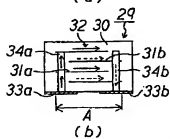
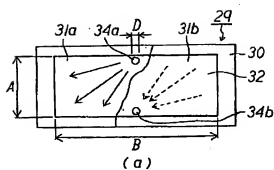
【図 2】



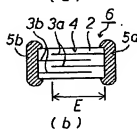
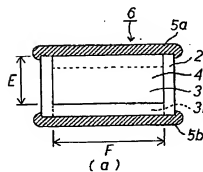
【図 5】



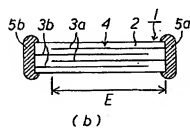
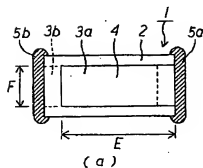
【図 4】



【図 7】



【図 6】



【図 10】

